

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: HUANG, Chien-Chang et al Conf.:
Appl. No.: NEW Group:
Filed: November 24, 2003 Examiner:
For: MISALIGNMENT TEST STRUCTURE AND METHOD
THEREOF

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 24, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	091137752	December 27, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

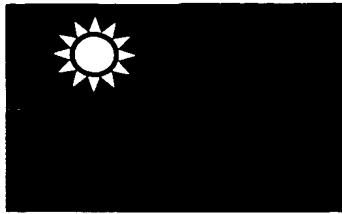
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

KM/smt
4392-0145P

Attachment(s)



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 12 月 27 日
Application Date

申請案號：091137752
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 2 月 27 日
Issue Date

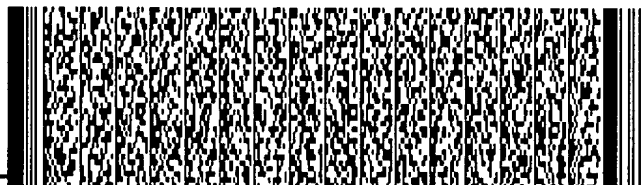
發文字號：09220205650
Serial No.

申請日期：91.12.27	IPC分類
申請案號：91137752	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	對準失誤之測試結構及測試方法
	英 文	Misalignment Test Structure and Method Thereof
二、 發明人 (共5人)	姓 名 (中文)	1. 黃建章 2. 吳鐵將 3. 黃慶玲
	姓 名 (英文)	1. HUANG, Chien-Chang 2. WU, Tie-Jiang 3. HUANG, Chin-Ling
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市實踐路93巷59號3樓之1 2. 宜蘭縣三星鄉萬德村93-7號 3. 台北縣樹林市中華路281號6樓之5
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路六六九號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang LIEN



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	4. 丁裕偉 5. 姜伯青
	姓 名 (英 文)	4. TING, Yu-Wei 5. JIANG, Bo-Ching
	國 籍 (中 英 文)	4. 中華民國 TW 5. 中華民國 TW
	住 居 所 (中 文)	4. 台北市內湖區文德路66巷69弄14號2樓 5. 花蓮縣吉安鄉東海五街35號
	住 居 所 (英 文)	4. 5.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：對準失誤之測試結構及測試方法)

本發明提供一種判斷積體電路之製程對準失誤的測試結構和測試方法。此測試結構包含一第一導體層，其包含第一指狀結構及第二指狀結構；一介電層形成於第一導體層上；以及一第二導體層形成於介電層上，且其包含第三指狀結構及第四指狀結構。第三指狀結構係於一第一方向，以一預設重疊寬度，部分重疊於第一指狀結構，且第四指狀結構係於一相反於第一方向之第二方向，以相同之預設重疊寬度，部分重疊於第二指狀結構。本發明係利用量測第一導體層及第二導體層間的電性，計算得到對準失誤造成之偏移量(W')。

伍、(一)、本案代表圖為： 圖 1

(二)、本案代表圖之元件代表符號簡單說明：

10	測試結構	12	第一導體層
16	第二導體層	122	第一指狀結構

陸、英文發明摘要 (發明名稱：Misalignment Test Structure and Method Thereof)

A test structure and a test method for determining misalignment occurred in integrated circuit processes are provided. The test structure includes a first conductive layer having a first testing structure and a second testing structure, a dielectric layer thereon, and a second conductive layer on the dielectric layer. The second conductive layer includes a third



四、中文發明摘要 (發明名稱：對準失誤之測試結構及測試方法)

124 第二指狀結構

162 第三指狀結構

164 第四指狀結構

陸、英文發明摘要 (發明名稱：Misalignment Test Structure and Method Thereof)

testing structure and a fourth testing structure, which overlap a portion of the first testing structure and the second testing structure in a first direction and a second direction, respectively. The first direction is opposite to the second direction. The method includes a step of measuring the electrical characteristic between the first and the second conductive layers to



四、中文發明摘要 (發明名稱：對準失誤之測試結構及測試方法)

陸、英文發明摘要 (發明名稱：Misalignment Test Structure and Method Thereof)

calculate a shift amount caused by the
misalignment.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

一、【發明所屬之技術領域】

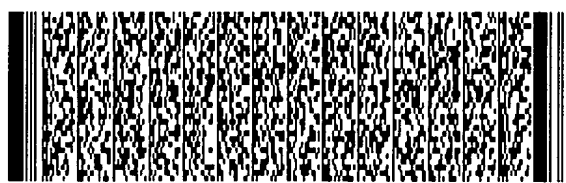
本發明係關於一種積體電路製程之對準失誤判斷，特別是有關於一種利用電性量測之計算結果，判斷積體電路微影製程對準失誤的測試結構和測試方法。

二、【先前技術】

於積體電路製程中，微影製程係作為圖案轉移的重要步驟。因此，層與層之間的圖案堆疊，係幾乎全仰賴於微影製程的對準精確性。然而，由於對準機構的精確性與光阻材料特性的限制，微影製程或多或少具有對準失誤的可能性。因此，如何判斷半導體元件的製程是否產生對準失誤，即為業界努力的方向之一。

一般判斷元件層與層之間是否發生對準失誤的方法，包含利用光學檢測系統，如掃描式電子顯微鏡(SEM)，或者於晶片上設置測試結構。然而，利用光學檢測系統判斷對準失誤是一項費時耗力的工作，並且通常受限於儀器本身的解析度，而無法得到精確的檢測結果。因此，於晶片上設置測試結構的技術因蘊而生。

然而，隨著半導體元件的尺寸越來越小，微影製程所造成的對準失誤也就越來越難以檢測。因為，因應元件的縮小化，測試結構不僅要能判斷出對準失誤是否發生，更要能量化對準失誤的偏差值及偏移方向，以做為未來製程



五、發明說明 (2)

的修正參考值。同時，測試結構除了要達到量化的檢測結果外，更要能與現有的製程相容，以及時監控製程的結果。

因此，有鑑於上述習知技術的不足，必須提供一種測試結構，以量化半導體製程所產生的對準失誤。

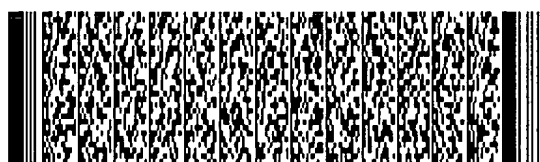
三、【發明內容】

本發明之一方面在於提供一種測試結構，其係用以判斷積體電路之製程對準失誤，以增加元件之可靠度。

本發明之又一方面在於提供一種測試結構，係與現行製程相容，可用以監控金氧半場效電晶體(MOSFET)之閘極與主動區域間微影製程的對準失誤，以作為未來製程的修正參考。

本發明之另一方面在於提供一種測試結構，其與積體電路之製程相容，可由測試結構之電性量測，計算出製程對準失誤的偏移量，以減少人為判斷誤差或儀器檢測之解析度的限制。

本發明之再一方面在於提供一種測試結構，其具有兩個測試電容結構，係因對準失誤使得兩個測試電容分別做增加及減少的變化。

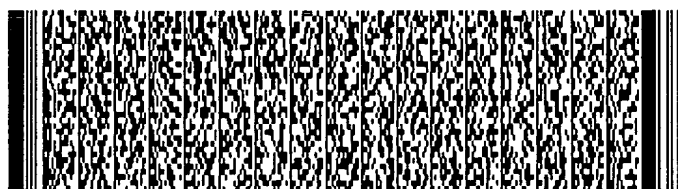


五、發明說明 (3)

於一實施例，本發明之測試結構依序包含一第一導體層、一介電層及一第二導體層。第一導體層包含一第一指狀結構及一第二指狀結構。介電層係形成於第一導體層上。第二導體層係形成於介電層上，且包含一第三指狀結構及一第四指狀結構，分別對應第一指狀結構及第二指狀結構。第三指狀結構係於一第一方向，以一預設重疊寬度，部分重疊於第一指狀結構，且第四指狀結構係於一第二方向，以相同之預設重疊寬度，部分重疊於第二指狀結構，第一方向係相反於第二方向。

當於形成第二導體層時，由於對準失誤造成第三指狀結構及第四指狀結構位移一偏移量，使得第三指狀結構與第四指狀結構係分別以一第一重疊寬度及一第二重疊寬度，重疊於第一指狀結構及第二指狀結構。當對準失誤係朝第一方向偏移時，第一重疊寬度係為預設重疊寬度減去偏移量，且第二重疊寬度係為預設重疊寬度加上偏移量。當對準失誤係朝第二方向偏移時，第一重疊寬度係為預設重疊寬度加上偏移量，且第二重疊寬度係為預設重疊寬度減去偏移量。

此外，藉由第一導體層及第二導體層之間的電性量測，可計算出偏移量。例如，第一指狀結構與第三指狀結構更具有一第一重疊長度(L1)，第二指狀結構與第四指狀



五、發明說明 (4)

結構更具有一第二重疊長度(L2)，且第一重疊長度及第二重疊長度係分別遠大於預設重疊寬度($L1 \gg W$ 及 $L2 \gg W$)。假設第一重疊長度(L1)與第二重疊長度(L2)預設為相同之一重疊長度(L)。對準失誤造成之偏移量(W')係由方程式 $W' = W * (C1 - C2) / (C1 + C2)$ 計算而得，W為預設重疊寬度，C1及C2係分別為第一指狀結構與第三指狀結構間以及第二指狀結構與第四指狀結構間，因重疊所產生之一第一電容及一第二電容。

本發明同時提供一種測試一積體電路對準失誤的方法，此積體電路具有一第一導體層。本發明方法包含圖案化第一導體層，以形成一第一指狀結構及一第二指狀結構。形成一介電層於第一導體層上。形成一第二導體層於介電層上。然後，以一預設重疊寬度，圖案化第二導體層，以形成一第三指狀結構及一第四指狀結構，其係分別於一第一方向及一第二方向，部分重疊於第一指狀結構及第二指狀結構，且第一方向係相反於第二方向。之後，量測第一導體層及第二導體層之間的電性，以決定第二導體層於圖案化過程是否發生偏移。

圖案化第二導體層之步驟更包含：使得第三指狀結構與第四指狀結構，係以相同之一重疊長度(L)，分別重疊於第一指狀結構與第二指狀結構，且重疊長度遠大於預設重疊寬度(W) ($L \gg W$)。決定第二導體層是否發生偏移之步



五、發明說明 (5)

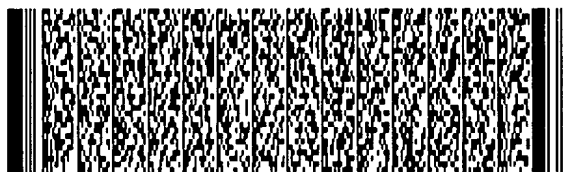
驟包含：利用方程式 $W' = W * (C1 - C2) / (C1 + C2)$ ，計算圖案化第二導體層之一偏移量(W')， W 為預設重疊寬度， $C1$ 及 $C2$ 係分別為第一指狀結構與第三指狀結構間以及第二指狀結構與第四指狀結構間，因重疊所產生的一第一電容及一第二電容。

此外，計算後當偏移量大於零時($W' > 0$)，係代表圖案化第二導體層時，朝第二方向偏移此偏移量。當偏移量小於零時($W' < 0$)，係代表圖案化第二導體層時，朝第一方向偏移此偏移量。當偏移量等於零時($W' = 0$)，係代表圖案化第二導體層時，並未發生偏移。

四、【實施方式】

本發明揭露一種測試結構及測試方法，以判斷積體電路製程之對準失誤，並計算出對準失誤之偏移量。為了使本發明之敘述更加詳盡與完備，可參照下列描述並配合圖1至圖4之圖示。

參考圖1、圖2及圖3，如一具體實施例所示，本發明提供一種測試結構10，係用以判斷積體電路之製程對準失誤，例如，利用此測試結構10判斷金氧半場效電晶體之閘極與主動區域間之微影製程的對準失誤。圖1係測試結構10之上視圖，圖2及圖3係分別為圖1切線I-I'及II-II'之部分測試結構(101及102)之截面圖。此測試結構10包含一



五、發明說明 (6)

第一導體層12、一介電層14(示於圖2及圖3)以及一第二導體層16。第一導體層12包含一第一指狀結構122及一第二指狀結構124。介電層14係形成於第一導體層12上，且覆蓋第一指狀結構122及一第二指狀結構124。第二導體層16係形成於介電層14上，且包含一第三指狀結構162及一第四指狀結構164，分別對應第一指狀結構122及第二指狀結構124。

第三指狀結構162係於一第一方向，以一預設重疊寬度(W)，部分重疊於第一指狀結構122，且第四指狀結構164係於一第二方向，以相同之預設重疊寬度(W)，部分重疊於第二指狀結構124，第一方向係相反於第二方向。例如，第三指狀結構162係重疊於第一指狀結構122之右方(或以 x 軸為例，即 $x > 0$ 之方向)，第四指狀結構164係重疊於第二指狀結構124之左方(或 $x < 0$ 之方向)。圖1之虛線部分係表示第三及第四指狀結構(162及164)以預設重疊寬度重疊於第一及第二指狀結構(122及124)，未產生對準失誤之示意圖。

當第二導體層16產生對準失誤時，第三指狀結構162及第四指狀結構164係位移一偏移量(W')，使得第三指狀結構162與第四指狀結構164係分別以一第一重疊寬度 W_1 及一第二重疊寬度 W_2 ，重疊於第一指狀結構122及第二指狀結構124。例如，當對準失誤係朝第一方向(如右方)偏移

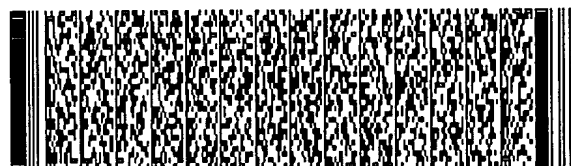


五、發明說明 (7)

時，第一重疊寬度係為預設重疊寬度減去偏移量，即($W_1 = W - W'$)，且第二重疊寬度係為預設重疊寬度加上偏移量，即($W_2 = W + W'$)，如圖1之實線所繪示之第三指狀結構162與第四指狀結構164。此外，雖未圖示說明，但熟此技藝者當可得知，當對準失誤係朝第二方向偏移時，第一重疊寬度係為預設重疊寬度加上偏移量，即($W_1 = W + W'$)，且第二重疊寬度係為預設重疊寬度減去偏移量，即($W_2 = W - W'$)。

再者，第一指狀結構122與第三指狀結構162更具有一第一重疊長度(L_1)，第二指狀結構124與第四指狀結構164更具有一第二重疊長度(L_2)，且第一重疊長度及第二重疊長度係分別遠大於預設重疊寬度($L_1 \gg W$ 及 $L_2 \gg W$)。如此之配置，即可忽略於其他方向(如垂直於第一及第二方向(x方向)之y方向)因對準失誤所產生之電性影響。

因此，藉由第一導體層12及第二導體層16之間的電性量測，以計算出偏移量(W')。亦即，由測試結構10之配置可得知，第一指狀結構122與第三指狀結構162重疊部分，及其中所夾之介電層14係形成一第一電容結構。同樣地，第二指狀結構124與第四指狀結構164重疊部分，及其中所夾之介電層14係形成一第二電容結構。利用方程式(1)： $C = k * A / d$ ，可計算出偏移量， C 為電容值， k 為介電層之介電常數， A 為電容面積， d 為介電層厚度。



五、發明說明 (8)

亦即，以判斷金氧半場效電晶體之閘極與主動區域間之微影製程的對準失誤為例，第一導體層12係包含電晶體之半導體基板，如矽基板。介電層14係與閘極介電層同時形成，且第二導體層係為閘極層。因此，將相關資料代入方程式(1)，且 $A=L*W$ (長度*寬度)可得第一及第三指狀結構間之電容 $C1=k*L1*W1/d1$ ，且第二及第四指狀結構間之電容 $C2=k*L2*W2/d2$ 。假設第一重疊長度($L1$)與第二重疊長度($L2$)為相同之一重疊長度(L)，即 $L1=L2=L$ ，且介電層厚度相同，即 $d=d1=d2$ 。當對準失誤係朝第一方向偏移時， $W1=W-W'$ 且 $W2=W+W'$ ，可得

$$C1=k*L*(W-W')/d \text{----- 方程式(2)}$$

$$C2=k*L*(W+W')/d \text{----- 方程式(3)}$$

利用方程式(2)及(3)，可得

$$W'=W*(C2-C1)/(C1+C2) \text{----- 方程式(4)}$$

當對準失誤係朝第二方向偏移時， $W1=W+W'$ 且 $W2=W-W'$ ，可得

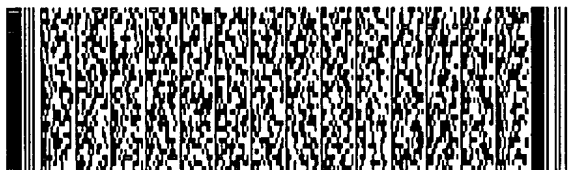
$$C1=k*L*(W+W')/d \text{----- 方程式(5)}$$

$$C2=k*L*(W-W')/d \text{----- 方程式(6)}$$

利用方程式(5)及(6)，可得

$$W'=W*(C1-C2)/(C1+C2) \text{----- 方程式(7)}$$

在此必須注意，當發生對準失誤時，可利用方程式(7) $W'=W*(C1-C2)/(C1+C2)$ 計算所得之數值的正負值特性，決定偏移方向。亦即當偏移量大於零時($W'>0$)，係代表圖案化第二導體層時，朝第二方向偏移此偏移量。當偏

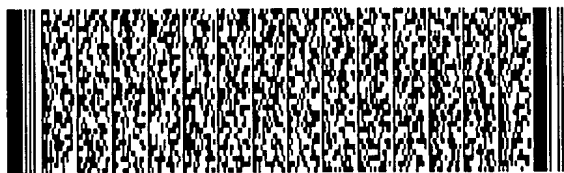


五、發明說明 (9)

移量小於零時($W' < 0$)，係代表圖案化第二導體層時，朝第一方向偏移此偏移量。當偏移量等於零時($W' = 0$)，係代表圖案化第二導體層時，並未發生偏移。同樣地，亦可利用方程式(4) $W' = W * (C2 - C1) / (C1 + C2)$ 計算之數值的正負值特性，決定偏移方向，且其方向判斷與利用方程式(7)的結果相反。例如，當偏移量大於零時($W' > 0$)，係代表圖案化第二導體層時，朝第一方向偏移此偏移量。當偏移量小於零時($W' < 0$)，係代表圖案化第二導體層時，朝第二方向偏移此偏移量。

如圖1所示，第一導體層12更包含複數個相互連結之第一指狀結構122及複數個相互連結之第二指狀結構124。同時，第二導體層16更包含複數個相互連結之第三指狀結構162及複數個相互連結之第四指狀結構164，其係分別對應複數個第一指狀結構122及複數個第二指狀結構164。如此梳子狀的測試結構設計，可因電容結構個數的增加，有助於電性量測。

參考圖4，圖4係本發明提供一種測試積體電路對準失誤的方法之流程圖400，例如用以測試閘極與主動區域的微影製程對準誤差的測試方法。積體電路10具有一第一導體層12，例如金氧半電晶體之矽基板。本發明方法包含步驟410，圖案化第一導體層(或矽基板)，以形成一第一指狀結構122及一第二指狀結構124，如圖1至圖3所示。圖案



五、發明說明 (10)

化第一導體層12之步驟係包含同時形成電晶體之主動區域及形成淺溝渠隔離18。亦即，當定義矽基板之主動區域時，同時定義第一導體層12之第一指狀結構122及第二指狀結構124。

然後，形成一介電層14於第一導體層12上(步驟420)，亦即電晶體之閘極介電層即為測試結構10之介電層14。接著，形成一第二導體層16於介電層14上(步驟430)，亦即形成將定義為閘極之導體層。然後，以一預設重疊寬度，圖案化第二導體層16，以形成一第三指狀結構162及一第四指狀結構164，其係分別於一第一方向及一第二方向，部分重疊於第一指狀結構122及第二指狀結構124，且第一方向係相反於第二方向(步驟440)。亦即，定義電晶體閘極時，同時定義第三及第四指狀結構之位置，如此一來，使得第一指狀結構122與第二指狀結構124分別與第三指狀結構162與第四指狀結構164重疊的部分，形成第一電容結構101及第二電容結構102。

此外，圖案化第二導體層16之步驟更包含：使得第三指狀結構162與第四指狀結構164，係以相同之一重疊長度(L)，分別重疊於第一指狀結構122與第二指狀結構124，且重疊長度遠大於預設重疊寬度(W)($L \gg W$)。如果此測試係用以判斷x方向之偏移量，當重疊長度遠大於預設重疊寬度時，則因為重疊長度的偏移相較於預設之重疊長度太



五、發明說明 (11)

小，而可忽略y方向之偏移對電性改變的影響。

然後，量測第一導體層12及第二導體層16之間的電性，以決定第二導體層於圖案化過程是否發生偏移(步驟450)。亦即，藉由測試結構之第二導體層16的對準失誤判斷，可以得知閘極與主動區域之間是否發生對準失誤。量測第一導體層12及第二導體層16間的電性，包含量測其充放電之電壓，以計算出電容值。決定第二導體層16是否發生偏移之步驟包含利用方程式(7)： $W' = W * (C1 - C2) / (C1 + C2)$ ，計算圖案化第二導體層之一偏移量(W')， W 為預設重疊寬度， $C1$ 及 $C2$ 係分別為第一指狀結構122與第三指狀結構164間，以及第二指狀結構124與第四指狀結構164間，因重疊所產生的一第一電容及一第二電容。當偏移量大於零時($W' > 0$)，係代表圖案化第二導體層16時，朝第二方向偏移此偏移量。當偏移量小於零時($W' < 0$)，係代表圖案化第二導體層16時，朝第一方向偏移此偏移量。當偏移量等於零時($W' = 0$)，係代表圖案化第二導體層16時，並未發生偏移。此外，亦可利用方程式(4)計算圖案化第二導體層之偏移量(W')，其判斷方式如上所述，因此不再贅述。

此外，圖案化第一導體層12之步驟更包含：形成複數個第一指狀結構122及複數個第二指狀結構124，如圖1示之梳狀結構。並且，圖案化第二導體層16之步驟更包含：



五、發明說明 (12)

以預設重疊寬度，圖案化第二導體層，以形成複數個第三指狀結構162及複數個第四指狀結構164，係分別於第一方向及第二方向，分別部分重疊於複數個第一指狀結構122及複數個第二指狀結構124，如圖1示之梳狀重疊結構。如此一來，可增加電性量測之便利性。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

五、【圖式簡單說明】

圖1係本發明之測試結構之上視圖；

圖2係圖1之I-I'截面圖；

圖3係圖1之II-II'截面圖；

圖4係本發明之測試方法之流程圖。

圖式元件符號說明

10	測試結構	12	第一導體層
14	介電層	16	第二導體層
18	淺溝渠隔離	400	流程圖
101	第一電容結構	102	第二電容結構
122	第一指狀結構	124	第二指狀結構
162	第三指狀結構	164	第四指狀結構



六、申請專利範圍

1. 一種測試結構，係用以判斷一積體電路之製程對準失誤，包含：

一第一導體層，該第一導體層包含一第一指狀結構及一第二指狀結構；

一介電層，係形成於該第一導體層上；以及

一第二導體層，係形成於該介電層上，該第二導體層包含一第三指狀結構及一第四指狀結構，分別對應該第一指狀結構及該第二指狀結構；

其中該第三指狀結構係於一第一方向，以一預設重疊寬度(W)，部分重疊於該第一指狀結構，且該第四指狀結構係於一第二方向，以該預設重疊寬度，部分重疊於該第二指狀結構，該第一方向係相反於該第二方向。

2. 如申請專利範圍第1項所述之測試結構，其中該第一導體層更包含複數個該第一指狀結構及複數個該第二指狀結構，且該第二導體層更包含複數個該第三指狀結構及複數個該第四指狀結構，係分別對應該複數個第一指狀結構及該複數個第二指狀結構。

3. 如申請專利範圍第1項所述之測試結構，其中於形成該第二導體層時，由於對準失誤造成該第三指狀結構及該第四指狀結構係位移一偏移量，使得該第三指狀結構與該第四指狀結構係分別以一第一重疊寬度及一第二重疊寬度，重疊於該第一指狀結構及該第二指狀結構。



六、申請專利範圍

4. 如申請專利範圍第3項所述之測試結構，其中當對準失誤係朝該第一方向偏移時，該第一重疊寬度係為該預設重疊寬度減去該偏移量，且該第二重疊寬度係為該預設重疊寬度加上該偏移量。
5. 如申請專利範圍第3項所述之測試結構，其中當對準失誤係朝該第二方向偏移時，該第一重疊寬度係為該預設重疊寬度加上該偏移量，且該第二重疊寬度係為該預設重疊寬度減去該偏移量。
6. 如申請專利範圍第4或5項所述之測試結構，其中藉由該第一導體層及該第二導體層之間的電性量測，以計算出該偏移量。
7. 如申請專利範圍第1項所述之測試結構，其中該第一指狀結構與該第三指狀結構更具有一第一重疊長度($L1$)，該第二指狀結構與該第四指狀結構更具有一第二重疊長度($L2$)，且該第一重疊長度及該第二重疊長度係分別遠大於該預設重疊寬度($L1 \gg W$ 及 $L2 \gg W$)。
8. 如申請專利範圍第7項所述之測試結構，其中該第一重疊長度($L1$)與該第二重疊長度($L2$)為相同之一重疊長度(L)($L1 = L2 = L$)。



六、申請專利範圍

9. 如申請專利範圍第8項所述之測試結構，其中由於對準失誤造成之一偏移量(W')係由方程式 $W' = W * (C1 - C2) / (C1 + C2)$ 計算而得， W 為該預設重疊寬度， $C1$ 及 $C2$ 係分別為該第一指狀結構與該第三指狀結構間以及該第二指狀結構與該第四指狀結構間，因重疊所產生之一第一電容及一第二電容。

10. 如申請專利範圍第9項所述之測試結構，其中

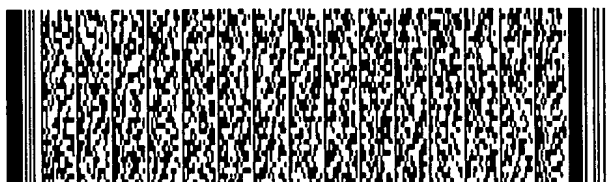
當該偏移量大於零時($W' > 0$)，係代表圖案化該第二導體層時，朝該第二方向偏移該偏移量；

當該偏移量小於零時($W' < 0$)，係代表圖案化該第二導體層時，朝該第一方向偏移該偏移量；以及

當該偏移量等於零時($W' = 0$)，係代表圖案化該第二導體層時，並未發生偏移。

11. 如申請專利範圍第8項所述之測試結構，其中由於對準失誤造成之一偏移量(W')係由方程式 $W' = W * (C2 - C1) / (C1 + C2)$ 計算而得， W 為該預設重疊寬度， $C1$ 及 $C2$ 係分別為該第一指狀結構與該第三指狀結構間以及該第二指狀結構與該第四指狀結構間，因重疊所產生之一第一電容及一第二電容。

12. 如申請專利範圍第11項所述之測試結構，其中



六、申請專利範圍

當該偏移量大於零時($W' > 0$)，係代表圖案化該第二導體層時，朝該第一方向偏移該偏移量；

當該偏移量小於零時($W' < 0$)，係代表圖案化該第二導體層時，朝該第二方向偏移該偏移量；以及

當該偏移量等於零時($W' = 0$)，係代表圖案化該第二導體層時，並未發生偏移。

13. 一種測試一積體電路對準失誤的方法，該積體電路具有一第一導體層，包含：

圖案化該第一導體層，以形成一第一指狀結構及一第二指狀結構；

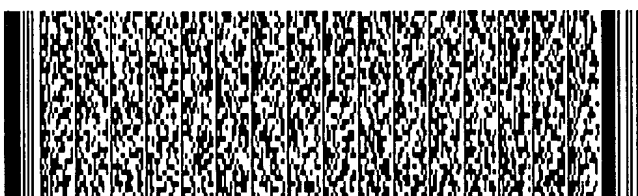
形成一介電層於該第一導體層上；

形成一第二導體層於該介電層上；

以一預設重疊寬度，圖案化該第二導體層，以形成一第三指狀結構及一第四指狀結構，係分別於一第一方向及一第二方向，部分重疊於該第一指狀結構及該第二指狀結構，且該第一方向係相反於該第二方向；

量測該第一導體層及該第二導體層之間的電性，以決定該第二導體層於圖案化過程是否發生偏移。

14. 如申請專利範圍第13項所述之方法，其中圖案化該第一導體層之步驟更包含：形成複數個該第一指狀結構及複數個該第二指狀結構。



六、申請專利範圍

15. 如申請專利範圍第14項所述之方法，其中圖案化該第二導體層之步驟更包含：以該預設重疊寬度，圖案化該第二導體層，以形成複數個該第三指狀結構及複數個該第四指狀結構，係分別於該第一方向及該第二方向，分別部分重疊於該複數個第一指狀結構及該複數個第二指狀結構。

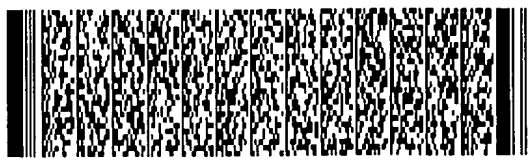
16. 如申請專利範圍第13項所述之方法，其中圖案化該第二導體層之步驟更包含：使得該第三指狀結構與該第四指狀結構，係以相同之一重疊長度(L)，分別重疊於該第一指狀結構與該第二指狀結構，且該重疊長度遠大該預設重疊寬度(W)($L \gg W$)。

17. 如申請專利範圍第16項所述之方法，其中決定該第二導體層是否發生偏移之步驟包含：利用方程式 $W' = W * (C1 - C2) / (C1 + C2)$ ，計算該圖案化第二導體層之一偏移量(W')，W為該預設重疊寬度，C1及C2係分別為該第一指狀結構與該第三指狀結構間以及該第二指狀結構與該第四指狀結構間，因重疊所產生之一第一電容及一第二電容。

18. 如申請專利範圍第17項所述之方法，其中

當該偏移量大於零時($W' > 0$)，係代表圖案化該第二導體層時，朝該第二方向偏移該偏移量；

當該偏移量小於零時($W' < 0$)，係代表圖案化該第二導體層時，朝該第一方向偏移該偏移量；以及



六、申請專利範圍

當該偏移量等於零時($W' = 0$)，係代表圖案化該第二導體層時，並未發生偏移。

19. 如申請專利範圍第16項所述之方法，其中決定該第二導體層是否發生偏移之步驟包含：利用方程式 $W' = W * (C2 - C1) / (C1 + C2)$ ，計算該圖案化第二導體層之一偏移量(W')， W 為該預設重疊寬度， $C1$ 及 $C2$ 係分別為該第一指狀結構與該第三指狀結構間以及該第二指狀結構與該第四指狀結構間，因重疊所產生之一第一電容及一第二電容。

20. 如申請專利範圍第19項所述之方法，其中

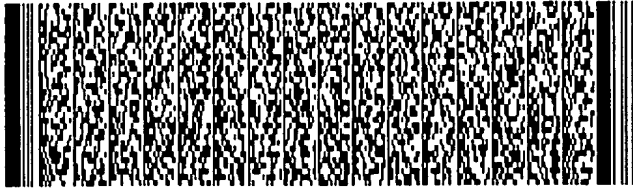
當該偏移量大於零時($W' > 0$)，係代表圖案化該第二導體層時，朝該第一方向偏移該偏移量；

當該偏移量小於零時($W' < 0$)，係代表圖案化該第二導體層時，朝該第二方向偏移該偏移量；以及

當該偏移量等於零時($W' = 0$)，係代表圖案化該第二導體層時，並未發生偏移。



第 1/25 頁



第 2/25 頁



第 3/25 頁



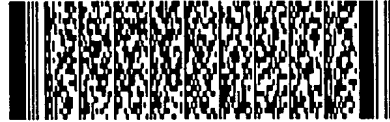
第 3/25 頁



第 4/25 頁



第 5/25 頁



第 6/25 頁



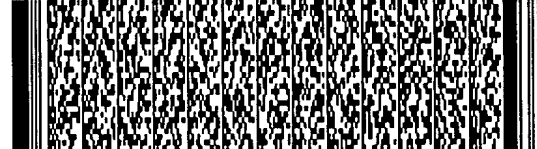
第 7/25 頁



第 7/25 頁



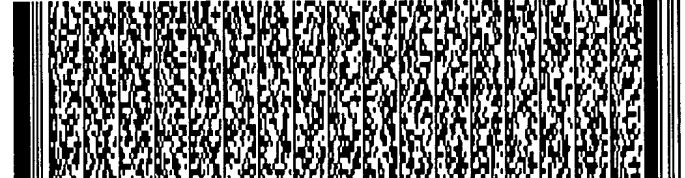
第 8/25 頁



第 8/25 頁



第 9/25 頁



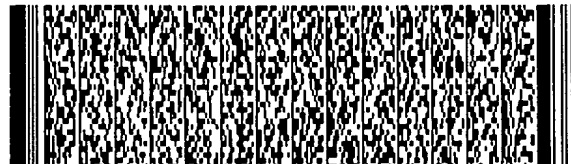
第 10/25 頁



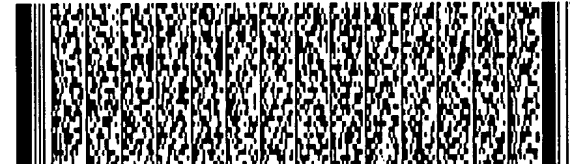
第 10/25 頁



第 11/25 頁



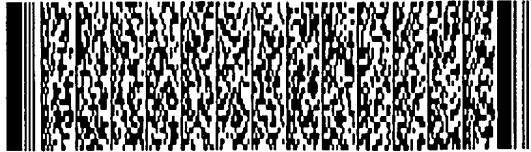
第 11/25 頁



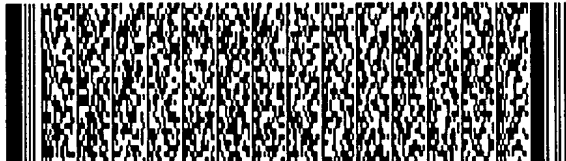
第 12/25 頁



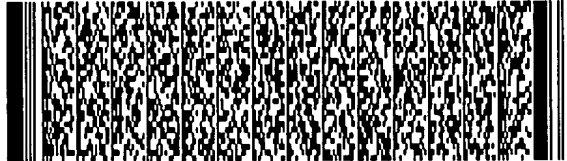
第 12/25 頁



第 13/25 頁



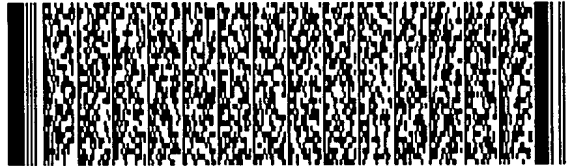
第 13/25 頁



第 14/25 頁



第 14/25 頁



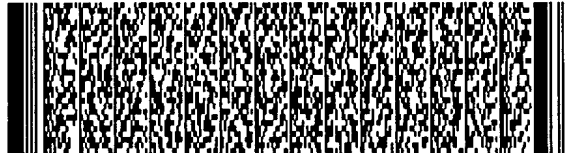
第 15/25 頁



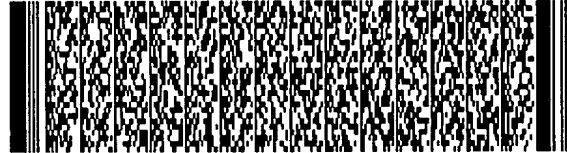
第 15/25 頁



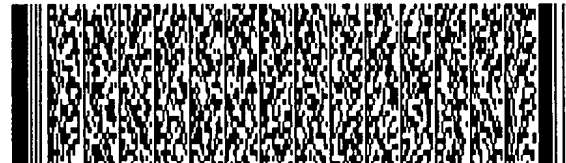
第 16/25 頁



第 16/25 頁



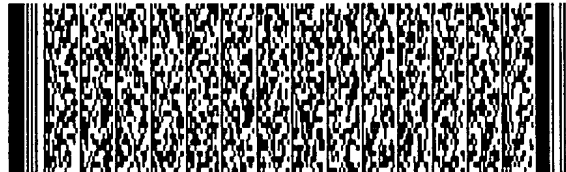
第 17/25 頁



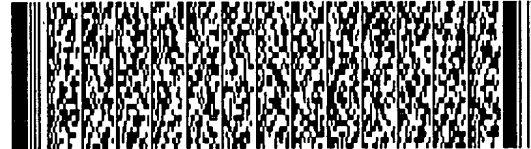
第 17/25 頁



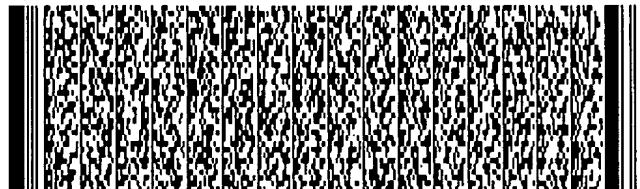
第 18/25 頁



第 19/25 頁



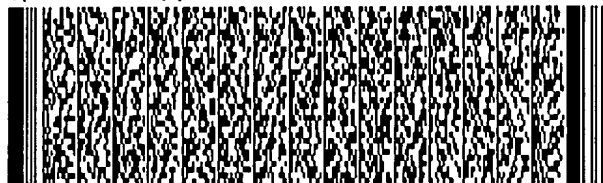
第 20/25 頁



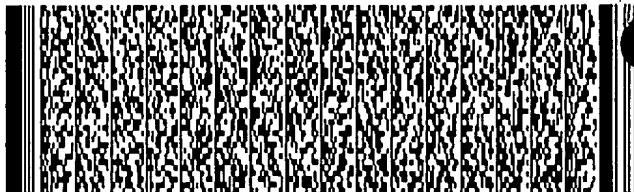
第 21/25 頁



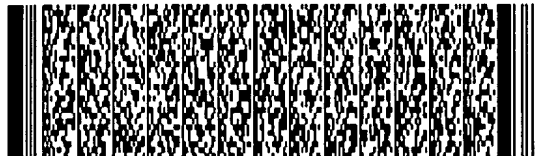
第 22/25 頁



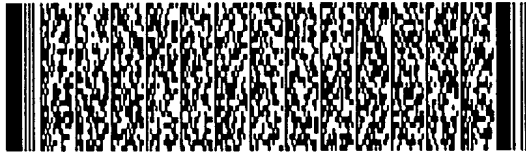
第 23/25 頁



第 24/25 頁



第 24/25 頁



第 25/25 頁



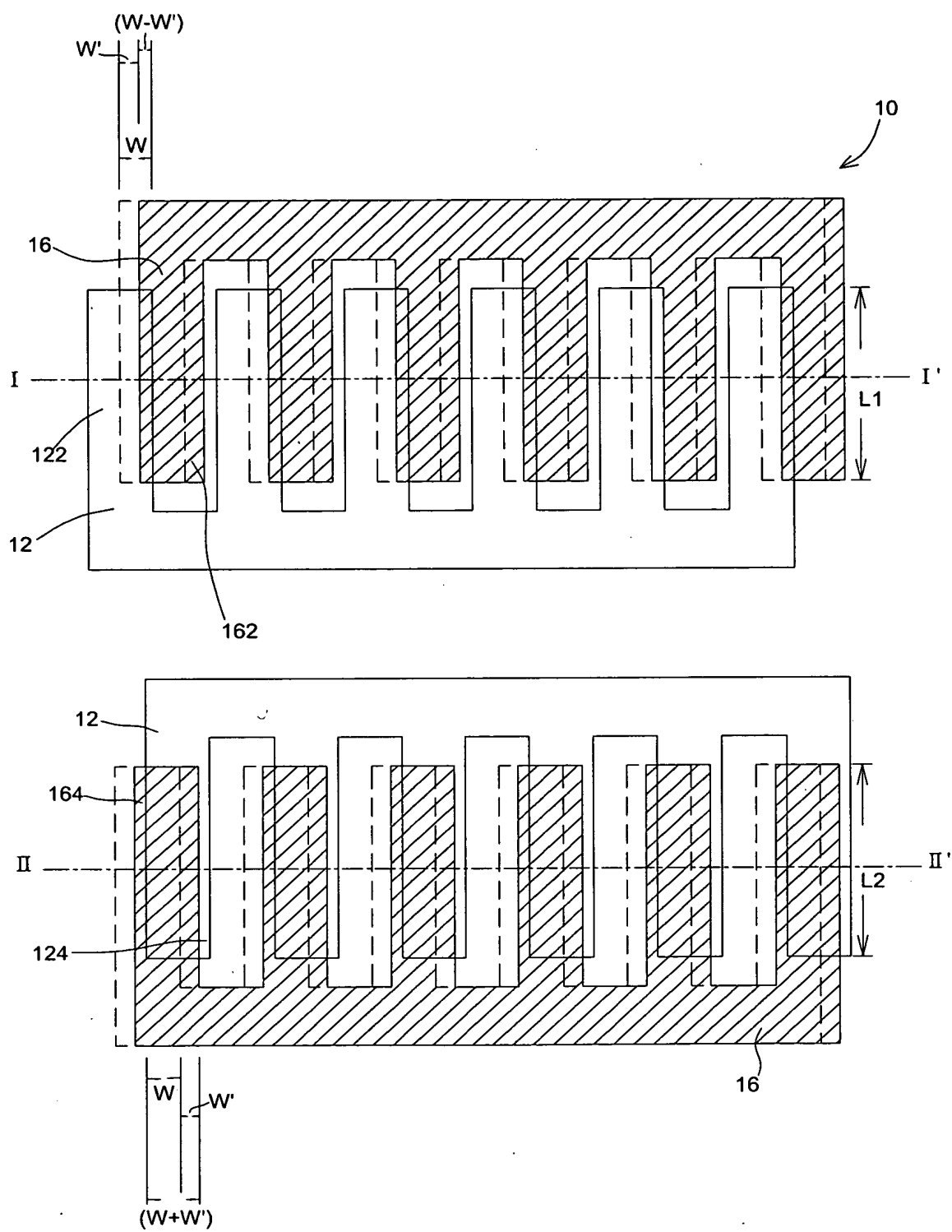


圖 1

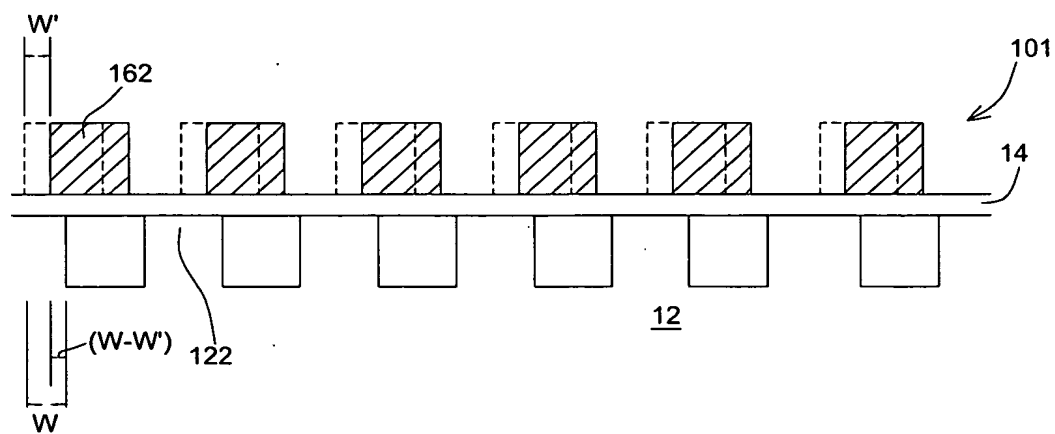


圖 2

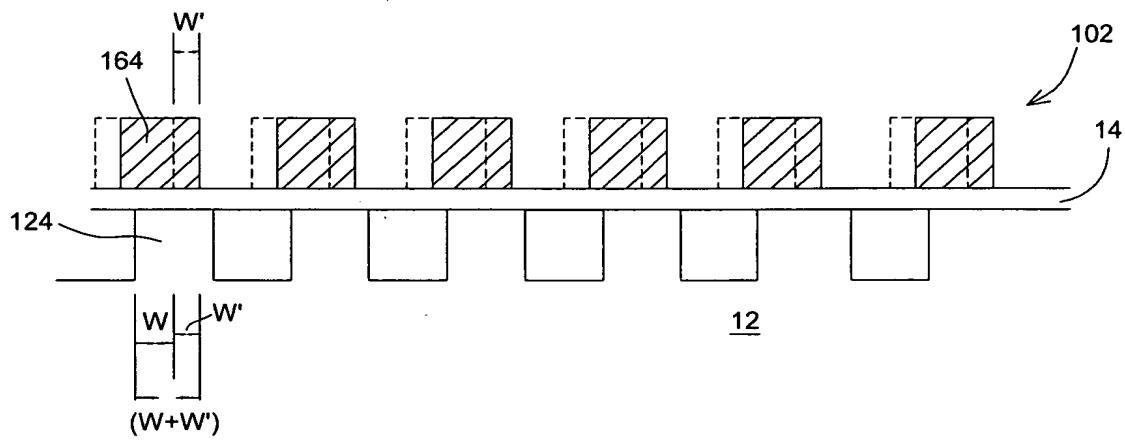


圖 3

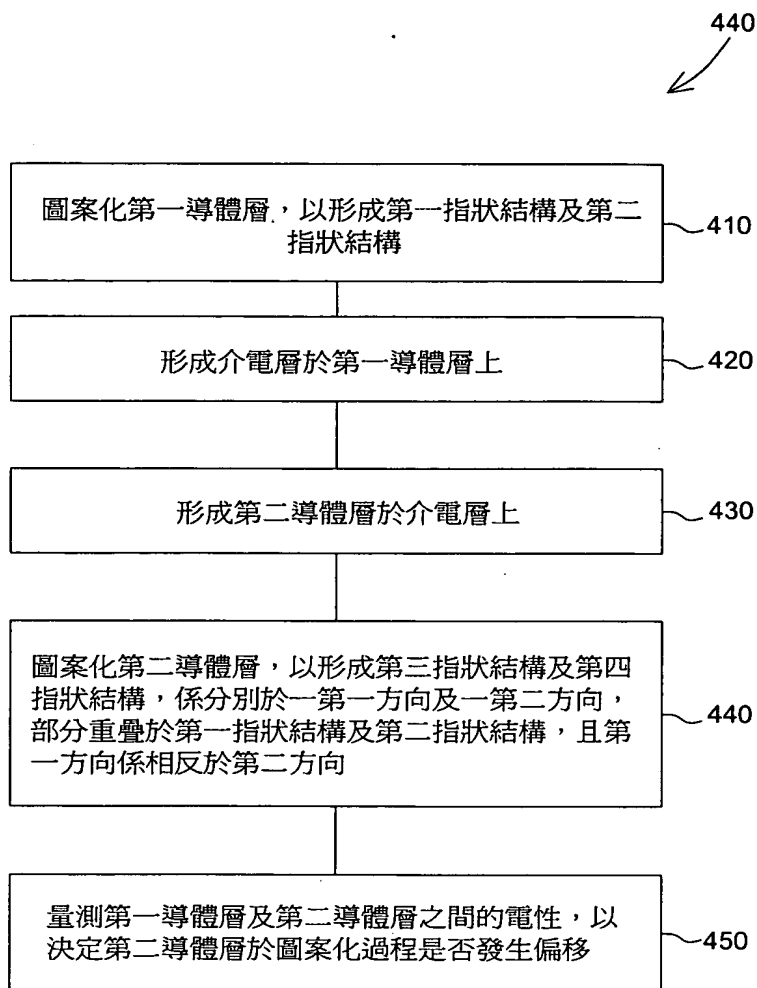


圖 4